

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0057189  
Application Number

출원년월일 : 2002년 09월 19일  
Date of Application SEP 19, 2002

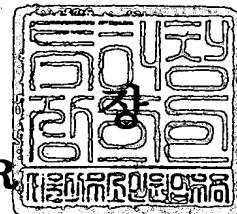
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 10 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.09.19
【발명의 명칭】	자기 저항 기억 소자 및 그 제조 방법
【발명의 영문명칭】	MAGNETO-RESISTIVE MEMORY DEVICE AND METHOD FOR FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김형준
【성명의 영문표기】	KIM, HYEONG JUN
【주민등록번호】	721114-1025730
【우편번호】	138-200
【주소】	서울특별시 송파구 문정동 70-13
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규 에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	25 면 25,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	35	항	1,229,000	원
【합계】	1,283,000		원	
【첨부서류】	1.	요약서·명세서(도면)_1통		

**【요약서】****【요약】**

자기 저항 기억 셀 측벽에 자기 집속 스페이서를 형성한다. 이에 따라 비트 라인 및 디지털 라인에 의해 발생된 자기장이 상기 자기 집속 스페이서에 집속되어 상기 자기 저항 기억 셀에 효율적으로 전달된다. 또한 상기 자기 저항 기억 셀을 감싸는 층간 절연막을 고 도자율의 자성막질로 형성하여 자기장 전달을 더 효과적으로 할 수 있다.

**【대표도】**

도 2

**【색인어】**

자기 저항 기억 셀(magneto-resistive memory cell), 페라이트(ferrite)

**【명세서】****【발명의 명칭】**

자기 저항 기억 소자 및 그 제조 방법 {MAGNETO-RESISTIVE MEMORY DEVICE AND METHOD FOR FABRICATING THE SAME}

**【도면의 간단한 설명】**

도1은 본 발명의 일 실시예에 따른 자기 저항 기억 소자를 개략적으로 도시한 반도체 기판의 단면도이다.

도2는 본 발명의 다른 실시예에 따른 자기 저항 기억 소자를 개략적으로 도시한 반도체 기판의 단면도이다.

도3은 본 발명의 또 다른 실시예에 따른 자기 저항 기억 소자를 개략적으로 도시한 반도체 기판의 단면도이다.

도4a 내지 도4h는 도1의 자기 저항 기억 소자를 제조 하는 방법의 주요 공정 단계에서의 반도체 기판의 단면도들이다.

도5a 내지 도5g는 일 실시예에 따라, 도2의 자기 저항 기억 소자를 제조하는 방법의 주요 공정 단계에서의 반도체 기판의 단면도들이다.

도6a 내지 도6g는 다른 실시예에 따라, 도2의 자기 저항 기억 소자를 제조하는 방법의 주요 공정 단계에서의 반도체 기판의 단면도들이다.

도7a 내지 도7f는 일 실시예에 따라, 도3의 자기 저항 기억 소자를 제조하는 방법의 주요 공정 단계에서의 반도체 기판의 단면도들이다.

\* 도면의 주요 부분에 대한 부호의 설명

160a: 디지털 라인 240a: 도전막 패턴

260, 300: 강자성막 280: 비자성막

320: 자기 저항 기억 셀 330a, 330b: 자기 집속 스페이스

380: 고 도자율의 층간 절연막 400a: 비트 라인

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체 기억 소자에 관한 것으로서, 더욱 상세하게는 자기 저항 기억 소자 및 그 제조 방법에 관한 것이다.

<14> 자기 저항 기억 소자(MRAM)는 비자성층에 의해 분리된 강자성층을 포함하는 구조를 갖는다. 정보는 자화 벡터의 방향으로 강자성층에 저장된다. 예컨대, 하나의 강자성층에서의 자화 벡터 방향은 자기를 띠어 고정되거나 고착될 수있는 반면, 다른 강자성층에서의 자화 벡터 방향은 가해진 자기장에 따라 어느 한 방향에서 반대 방향으로 매우 신속하게 스위칭 된다. 자화 벡터 방향에 따라 이진 정보의 저장이 가능하게 된다. 즉, 자화 벡터가 어느 한 방향(예컨대, 병렬 상태)일 때 강자성층의 저항값은 최소가 되고, 반대 방향(예컨대, 반-병렬 상태)일 때, 강자성층의 저항값은 최대가 된다. 이에 따라, 감지 전류를 통해서 강자성층의 저항을 감지하여 자기 저항 기억 셀에 저장된 정보를 판독한다.

<15> 이와 같은 자기 저항 기억 소자에서 저전력 동작을 위해서는 자화 벡터 방향을 변화시키는 자기장이 효율적으로 자기 저항 기억 셀에 전달되어야 한다.

**【발명이 이루고자 하는 기술적 과제】**

- <16> 따라서 본 발명의 목적은 효율적으로 자기장을 자기 저항 기억 셀에 전달하여 저전력 동작을 가능하게 하는 자기 저항 기억 소자 및 그 제조 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

- <17> 상기 목적을 달성하기 위한 본 발명의 자기 저항 기억 소자에 따르면, 자기 저항 기억 셀을 절연시키는 층간 절연막이 고 도자율의 자성막질을 포함하는 것을 일 특징으로 한다. 즉, 상기 층간 절연막이 고 도자율의 자성막질 단일층 또는 고 도자율의 자성막질과 실리콘 산화막과의 조합에 의한 다층으로 구성될 수 있다.
- <18> 또, 자기 저항 기억 셀 측벽에 자기 집속 스페이서를 포함하는 것을 다른 특징으로 한다. 이 경우, 자기 집속 스페이서가 있기 때문에, 자기 저항 기억 셀을 감싸는 층간 절연막은 실리콘 산화막으로 형성될 수 있다. 마찬가지로, 층간 절연막이 고 도자율의 자성막질 단일층 또는 고 도자율의 자성막질과 실리콘 산화막과의 조합에 의한 다층으로 구성될 수 있다.
- <19> 자기 저항 기억 셀을 구성하는 강자성체막 중 자기장에 의해 자화 벡터 방향이 변하는 강자성체막 측벽에만 자기 집속 스페이서가 형성될 수 있다.
- <20> 더 구체적으로, 상기 본 발명의 목적을 달성하기 위한 자기 저항 기억 소자는, 절연막을 사이에 두고 반도체 기판 상에 배치된 도전막 패턴과, 상기 도전막 패턴 상에 배치된 자기 저항 기억 셀과, 상기 절연막 상에 배치되어 상기 자기 저항 기억 셀을 감싸는 고 도자율의 자성 막질로 이루어진 층간 절연막을 포함한다.

- <21>      상기 고 도자율의 자성 막질은, 예컨대, 니켈-아연 계열의 페라이트 (Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite), MnFeO, CuFeO, FeO, NiFeO 을 포함한다.
- <22>      상기 자기 저항 기억 소자는 상기 자기 저항 기억 셀 측벽에 배치된 자기 집속 스페이서를 더 포함할 수 있다. 이때, 상기 자기 집속 스페이서는 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite), MnFeO, CuFeO, FeO, NiFeO 등과 같은 고 도자율의 자성 막질로 형성된다. 실시예에 따라서, 상기 자기 집속 스페이서 상에 코발트, 니켈철 등의 도전성 자기 집속 스페이서를 더 포함할 수 있다.
- <23>      상기 자기 저항 기억 셀은 상기 도전막 패턴 상에 차례로 배치된 하부 강자성막 패턴, 비자성막 패턴 그리고 상부 강자성막 패턴을 포함한다. 이때, 상기 자기 집속 스페이서는 상기 상부 강자성막의 측벽에 형성될 수 있다. 이 경우 상기 자기 집속 스페이서는 코발트(Co), 니켈철(NiFe) 등의 금속 자성층 또는 니켈-아연 계열의 페라이트 (Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite), MnFeO, CuFeO, FeO, NiFeO 등의 고 도자율 자성막질을 포함한다.
- <24>      일 실시예에 있어서, 상기 자기 저항 기억 소자는, 상기 층간 절연막을 관통하여 상기 상부 강자성막 패턴에 전기적으로 접속하는 비트 라인과, 상기 비트 라인과 직교하며 직교하는 곳에 상기 상부 강자성막 패턴이 위치하도록 상기 절연막 내에 배치된 디지털 라인과, 상기 디지털 라인과 동일 높이를 가지며 상기 하부 강자성막 패턴 및 상기 반도체 기판의 활성영역 사이의 전기적 접속을 제공하는 콘택 패드를 더 포함한다.
- <25>      상기 비트 라인 및 디지털 라인이 함께 상기 자기 저항 기억 셀에 자기장을 제공한다. 상기 비트 라인은 또한 상기 자기 저항 기억 셀에 감지 전류를 제공한다.



- <26>       상기 도전막 패턴, 상기 하부 강자성막 패턴 및 상기 비자성막 패턴은 상기 콘택 패드 및 상기 디지털 라인을 덮고, 상기 상부 강자성막 패턴은 상기 디지털 라인을 덮는다.
- <27>       다른 실시예에 있어서, 상기 자기 저항 기억 소자는, 상기 층간절연막을 관통하여 상기 상부 강자성막 패턴에 전기적으로 접속하는 비트 라인과, 상기 비트 라인과 직교하며 직교하는 곳에 상기 상부 강자성막 패턴이 위치하도록 상기 절연막 내에 배치된 디지털 라인과, 상기 디지털 라인과 동일 높이를 가지며 상기 하부 강자성막 패턴 및 상기 반도체 기판의 활성영역 사이의 전기적 접속을 제공하는 콘택 패드를 더 포함한다. 이때, 상기 도전막 패턴은 상기 콘택 패드 및 상기 디지털 라인을 덮고, 상기 하부 강자성막 패턴, 상기 비자성막 패턴 그리고 상부 강자성막 패턴은 상기 디지털 라인을 덮는다.
- <28>       상기 본 발명의 목적을 달성하기 위한 자기 저항 기억 소자는, 절연막을 사이에 두고 반도체 기판 상에 배치된 도전막 패턴과, 상기 도전막 패턴 상에 배치된 자기 저항 기억 셀과, 상기 자기 저항 기억 셀 측벽에 배치된 자기 접속 스페이서와, 상기 절연막 상에 배치되어 상기 자기 저항 기억 셀을 감싸는 층간 절연막을 포함한다.
- <29>       일 실시예에 있어서, 상기 자기 접속 스페이서는, 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite),  $\text{MnFeO}$ ,  $\text{CuFeO}$ ,  $\text{FeO}$ ,  $\text{NiFeO}$  등의 고 도자율 자성막질을 포함하고, 상기 층간 절연막은 실리콘 산화막이다. 또는 상기 층간 절연막은 고 도자율의 자성막이다. 또는 실리콘 산화막 및 고 도자율의 자성막의 조합막일 수 있다.
- <30>       상기 목적을 달성하기 위한 자기 저항 기억 소자 제조 방법은, 반도체 기판 상에 절연막을 사이에 두고 도전막 패턴을 형성하는 단계와, 상기 도전막 패턴 및 상기 절연

막 상에 차례로 하부 강자성막, 비자성막 및 상부 강자성막을 형성하는 단계와, 상기 상부 강자성막, 비자성막 및 하부 강자성막을 패터닝하여 상부 강자성막 패턴, 비자성막 패턴 및 하부 강자성막 패턴으로 이루어진 자기 저항 기억 셀을 형성하는 단계와, 상기 자기 저항 기억 셀 측벽에 자기 집속 스페이서를 형성하는 단계와, 상기 자기 집속 스페이서가 형성된 결과물 전면에 층간 절연막을 형성하는 단계를 포함한다.

<31> 상기 방법에서, 상기 자기 집속 스페이서 및 고 도자율의 자성 막질은, 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite), MnFeO, CuFeO, FeO, NiFeO 등으로 형성된다.

<32> 상기 방법에서, 상기 자기 집속 스페이서 상에 도전성 자기 집속 스페이서를 더 형성하는 단계를 포함할 수 있다. 이때, 상기 자기 집속 스페이서는, 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite), MnFeO, CuFeO, FeO, NiFeO 등으로 형성되고, 상기 도전성 자기 집속 스페이서는, 코발트(Co), 니켈철(NiFe) 등으로 형성된다.

<33> 상기 방법에서, 상기 자기 저항 기억 셀을 형성하는 단계는, 상기 상부 강자성막을 패터닝하여 상기 상부 강자성막 패턴을 형성하는 단계와, 상기 비자성막 및 하부 강자성막을 차례로 패터닝하여 상기 상부 강자성막 패턴 보다 큰 상기 비자성막 패턴 및 상기 하부 강자성막 패턴을 형성하는 단계를 포함하고,

<34> 상기 자기 집속 스페이서를 형성하는 단계는, 상기 절연막 및 상기 자기 저항 기억 셀 상에 스페이서 물질막을 형성하는 단계와, 상기 스페이서 물질막을 식각하여 상기 상부 강자성막 패턴의 측벽에만 남기는 단계를 포함한다. 이 경우, 상기 자기 집속 스페이

서는, 코발트(Co), 니켈철(NiFe), 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite), MnFeO, CuFeO, FeO, NiFeO 등으로 형성된다.

<35>       상기 본 발명의 목적을 달성하기 위한 자기 저항 기억 소자 제조 방법은, 반도체 기판 상에 절연막을 사이에 두고 도전막, 하부 강자성막, 비자성막 그리고 상부 강자성막을 차례로 형성하는 단계와, 상기 적층된 막질들을 차례로 패터닝하여 상부 강자성막 패턴, 비자성막 패턴, 하부 강자성막 패턴, 및 도전막 패턴을 형성하되, 상기 상부 강자성막 패턴, 비자성막 패턴 및 하부 강자성막 패턴이 자기 저항 기억 셀을 구성하는 단계와, 상기 자기 저항 기억 셀 측벽에 자기 집속 스페이서를 형성하는 단계와, 상기 자기 집속 스페이서가 형성된 결과물 전면에 층간 절연막을 형성하는 단계를 포함한다.

<36>       상기 방법에서, 상기 자기 저항 기억 셀을 형성하는 단계는, 상기 상부 강자성막을 패터닝하여 상기 상부 강자성막 패턴을 형성하는 단계와, 상기 비자성막, 하부 강자성막 및 도전막을 차례로 패터닝하여 상기 상부 강자성막 패턴 보다 큰 상기 비자성막 패턴, 상기 하부 강자성막 패턴 및 도전막 패턴을 형성하는 단계를 포함하고,

<37>       상기 자기 집속 스페이서를 형성하는 단계는, 상기 절연막 및 상기 자기 저항 기억 셀 상에 스페이서 물질막을 형성하는 단계와, 상기 스페이서 물질막을 식각하여 상기 상부 강자성막 패턴의 측벽에만 남기는 단계를 포함한다. 이때, 상기 자기 집속 스페이서는, 코발트(Co), 니켈철(NiFe), 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite), MnFeO, CuFeO, FeO, NiFeO 등으로 형성된다.

<38>       이하에서는 첨부된 도면을 참조하여 본 발명의 실시예들에 대하여 상세히 설명을 한다. 첨부된 도면들에서 동일한 기능을 갖는 구성 요소에 대해서는 동일한 참조번호를 병기하였다.

- <39> 도1은 본 발명의 일 실시예에 따른 자기 저항 기억 소자 구조를 개략적으로 도시한 반도체 기판의 단면도이다. 도1을 참조하여, 자기 저항 기억 소자는 도전막 패턴(240a), 상기 도전막 패턴(240a) 상에 차례로 적층된 자기 저항 기억 셀(320), 상기 자기 저항 기억 셀(320)을 감싸는 층간 절연막(380)을 포함한다. 상기 자기 저항 기억 셀(320)은 비자성막 패턴(280a)을 사이에 둔 두 개의 강자성막 패턴(260a, 280a)을 포함한다.
- <40> 상기 층간 절연막(380)은 고 도자율의 자성막질이다. 예컨대, 상기 층간 절연막(380)은 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite), MnFeO, CuFeO, FeO, NiFeO 으로 형성된다. 이와 같은 고 도자율의 자성막질로 인해 후술할 비트 라인 및 디지털 라인에 의해 발생한 자기장이 효율적으로 상기 자기 저항 기억 셀(320)에 전달된다.
- <41> 또한, 상기 층간 절연막(380)은 고 도자율의 자성 막질을 포함하는 다층막으로 형성될 수 있다. 즉, 고 도자율의 자성막(340) 및 실리콘 산화막(360)이 차례로 적층되어 형성될 수 있다. 이와 같은 층들이 반복적으로 적층될 수 있음은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명하다.
- <42> 상기 층간 절연막(380) 상에 상기 자기 저항 기억 셀(320), 즉 상부 강자성막 패턴(300a)에 전기적으로 접속하는 비트 라인(400)이 배치된다.
- <43> 상기 도전막 패턴(240a)은 절연막들(200, 120) 내의 소정 부분을 통해서 반도체 기판(100)의 활성 영역에 전기적으로 접속한다. 즉, 절연막(120) 내에 형성되고 상기 반도체 기판(100)의 활성 영역에 전기적으로 접속된 하부 콘택 플러그(220), 상기 하부 콘택 플러그(220)에 전기적으로 접속하도록 절연막(200) 상에 배치된 콘택 패드(180a) 및 상기 절연막(200) 내에 형성되어 상기 콘택 패드(180a)에 전기적으로 접속하는 상부 콘택

플러그(220)를 통해서 상기 도전막 패턴(240a)은 상기 반도체 기판(100)의 활성 영역에 전기적으로 접속한다.

- <44>        디지털 라인(160a)이 상기 자기 저항 기억 셀(320) 하부에 정렬되도록 상기 절연막(120) 상에 배치된다. 즉, 상기 디지털 라인(160a) 및 비트 라인(400a)은 교차하며, 이들이 교차하는 곳에 상기 자기 저항 기억 셀(320)이 위치한다.
- <45>        상기 비트 라인(400a) 및 디지털 라인(160a)에 의해 발생한 자기장이 상기 자기 저항 기억 셀(320)에 전달된다. 이때, 상술한 바와 같이 층간 절연막(380)이 고 도자율의 막질로 형성되기 때문에, 발생한 자기장이 효율적으로 상기 자기 저항 기억 셀(320)에 전달된다. 이는 자기 저항 기억 소자에서 쓰기 동작에 상응한다.
- <46>        한편, 상기 비트 라인(400a) 및 상기 반도체 기판(100)의 활성 영역 사이에 도전 통로를 통해 감지 전류가 흘러 상기 자기 저항 기억 셀(320)에 저장된 정보가 판독된다. 이는 자기 저항 기억 소자에서의 읽기 동작에 상응한다.
- <47>        비록 도시하지는 않았지만 상기 반도체 기판(100) 상에 스위칭 수단, 예컨대, 트랜지스터가 더 배치되어 상기 비트 라인(400a) 및 반도체 기판(100) 사이의 전류 흐름을 제어한다.
- <48>        쓰기 동작시에는 상기 트랜지스터가 턴-오프되어 상기 비트 라인(400a) 및 반도체 기판(100) 사이의 전류 통로가 차단되어 상기 비트 라인(400a)에 흐르는 전류에 의해 발생한 자기장이 상기 자기 저항 기억 셀(320)에 전달될 것이다.
- <49>        도2는 본 발명의 다른 실시예에 따른 자기 저항 기억 소자를 개략적으로 도시한 반도체 기판의 단면도이다. 도2를 참조하여, 자기 저항 기억 소자는 도전막 패턴(240a),

상기 도전막 패턴(240a) 상에 차례로 적층된 자기 저항 기억 셀(320), 상기 자기 저항 기억 셀(320)을 감싸는 층간 절연막(380)을 포함한다. 상기 자기 저항 기억 셀(320)은 상기 도전막 패턴(240a) 상에 차례로 배치된 하부 강자성막 패턴(260a), 비자성막 패턴(280a) 및 상부 강자성막 패턴(300a)을 포함한다.

<50> 본 실시예의 자기 저항 기억 소자에서는, 자기장에 의해 자화 벡터 방향이 변하는 강자성막, 예컨대, 상기 상부 강자성막 패턴(300a)의 측벽에 자기 집속 스페이서(330a)가 배치된다. 그리고, 상기 도전막 패턴(240a), 하부 강자성막 패턴(260a) 및 비자성막 패턴(280a)은 동일한 폭을 가지며 상기 상부 강자성막 패턴(300a) 보다 더 큰 폭을 갖는다.

<51> 상기 도전막 패턴(320)이 도1을 참조하여 설명한 자기 저항 기억 소자에서와 동일한 방법으로 반도체 기판(100)의 활성 영역에 전기적으로 접속한다.

<52> 상기 상부 강자성막 패턴(300a)에 전기적으로 접속하는 비트 라인(400a)이 상기 층간 절연막(380a) 상에 배치된다. 상기 비트 라인(400a)과 직교하며 상기 상부 강자성막 패턴(300a)이 직교하는 곳에 위치하도록 절연막(200) 상에 디지털 라인(160a)이 배치된다.

<53> 상기 자기 집속 스페이서(330a)는 도전막 또는 비도전막으로 형성될 있다. 예컨대, 상기 자기 집속 스페이서(330a)는 도전막으로는 코발트(Co), 니켈철(NiFe) 등의 금속 자성물질을 포함하고, 비도전막으로는 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite), MnFeO, CuFeO, FeO, NiFeO 을 포함한다.

- <54>       상기 자기 집속 스페이서(330a)로 인해서, 도1의 자기 저항 기억 소자와 달리, 상기 층간 절연막(380)은 실리콘 산화막의 단일층으로 형성할 수 있다. 물론 도1의 자기 저항 기억 소자와 동일하게 상기 층간절연막(380)을 형성할 수 있다.
- <55>       도3은 본 발명의 또 다른 실시예에 따른 자기 저항 기억 소자를 개략적으로 도시한 반도체 기판의 단면도이다.
- <56>       본 실시예에 따른 자기 저항 기억 소자는 도1을 참조하여 설명한 자기 저항 기억 소자에서 자기 저항 기억 셀 측벽에 자기 집속 스페이서를 더 구비한다.
- <57>       즉, 도3을 참조하여, 하부 강자성막 패턴(260a), 비자성막 패턴(280a) 및 상부 강자성막 패턴(300a)으로 구성된 자기 저항 기억 셀(320)의 측벽에 비도전성 자기 집속 스페이서(330a) 및 도전성 자기 집속 스페이서(330b)가 배치된다. 상기 비도전성 자기 집속 스페이서(330a)는 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite),  $MnFeO$ ,  $CuFeO$ ,  $FeO$ ,  $NiFeO$  을 포함한다. 상기 도전성 자기 집속 스페이서(330b)는 코발트, 니켈철 등의 금속 자성물질을 포함한다. 이 경우에도 상기 자기 저항 기억 셀(320)을 감싸는 층간 절연막(380)은 실리콘 산화막의 단일층으로 형성할 수 있다.
- <58>       이제부터는 이상에서 설명한 자기 저항 기억 소자를 제조하는 방법에 대하여 설명을 한다.
- <59>       도4a 내지 도4h는 일 실시예에 따라, 도1의 자기 저항 기억 소자를 제조 하는 방법의 주요 공정 단계에서의 반도체 기판의 단면도들이다. 먼저 도4a를 참조하여, 반도체 기판(100) 상에 하부 절연막(120)이 형성된다. 비록 도시하지는 않았지만, 상기 하부 절

연막(120)을 형성하기 전에, 통상적인 소자 분리 공정, MOSFET 공정에 의해 트랜지스터를 형성한다. 상기 하부 절연막(120) 상에 자기 저항 기억 셀에 자기장을 공급하는 디지털 라인(160a)을 형성한다. 이때, 상기 반도체 기판(100)의 활성 영역에 전기적으로 접속하는 콘택 패드(180a)도 형성한다. 상기 콘택 패드(180a)는 상기 하부 절연막(120)을 관통하는 하부 콘택 플러그(140)에 의해 상기 반도체 기판(100)의 활성 영역에 전기적으로 접속한다.

<60> 다음, 도4b를 참조하여, 상기 디지털 라인(160a) 및 콘택 패드(180a)를 절연시키는 상부 절연막(200)을 형성한다. 상기 상부 절연막(200)을 패터닝 하여 상기 콘택 패드(180a)를 노출시키는 콘택홀(210)을 형성한다.

<61> 다음 도4c를 참조하여, 상기 콘택홀(210)을 채우도록 상기 상부 절연막(200) 상에 플러그용 도전물질을 형성하고 평탄화 식각하여 상부 콘택 플러그(220)를 형성한다.

<62> 다음, 상기 상부 콘택 플러그(220) 및 상부 절연막(200) 상에 도전막(240)을 형성한다. 예컨대, 상기 도전막(240)은 티타늄 및 탄탈륨이 차례로 적층된 막으로 형성될 수 있다.

<63> 다음 도4d를 참조하여, 상기 도전막(240)을 패터닝하여 도전막 패턴(240a)을 형성한다. 상기 도전막 패턴(240a)은 상기 상부 콘택 플러그(220)에 전기적으로 접속하며, 상기 콘택 패드(180a) 및 상기 디지털 라인(180a)을 덮는다.

<64> 다음 도4e를 참조하여, 상기 상부 절연막(200) 및 상기 도전막 패턴(240a) 상에 하부 강자성막(260), 비자성막(280) 및 상부 강자성막(300)을 차례로 형성한다. 예컨대, 상기 하부 강자성막(260)은 자화 벡터 방향이 고정되는 막질로 형성되고, 상기 상부 강



자성막(300)은 자기장에 의해 자화 벡터의 방향이 변하는 막질로 형성된다. 상기 비자성 막(280)은 감지 전압이 상기 강자성막들(260,280)에 가해질 때, 전기 캐리어가 터널링 할 수 있는 막질로 형성된다.

<65> 다음 도4f를 참조하여, 상기 상부 강자성막(300), 비자성막(280) 및 하부 강자성막(260)을 패터닝하여 상기 디지털 라인(160a) 상부에 위치하는 자기 저항 기억 셀을 형성한다. 즉, 상기 자기 저항 기억 셀(320)은, 상부 강자성막 패턴(300a), 비자성막 패턴(280a) 및 하부 강자성막 패턴(260a)을 포함한다.

<66> 다음 도4g를 참조하여, 상기 자기 저항 기억 셀(320)을 절연시키는 층간 절연막(380)을 형성한다. 상기 층간 절연막(380)은 고 도자율의 자성막 단일층으로 형성될 수 있다. 예컨대, 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite),  $MnFeO$ ,  $CuFeO$ ,  $FeO$ ,  $NiFeO$  으로 형성된다.

<67> 또는, 고 도자율의 자성막을 포함하는 다층으로 형성될 수 있다. 예컨대, 고 도자율의 자성막(340) 및 실리콘 산화막(360)이 차례로 적층된 막으로 형성될 수 있다.

<68> 다음 도4h를 참조하여, 상기 층간 절연막(380)의 소정 부분을 통해서 상기 상부 강자성막 패턴(300a)에 전기적으로 접속하는 비트 라인(400a)을 형성한다. 구체적으로, 상기 층간 절연막(380)을 패터닝하여 상기 상부 강자성막 패턴(300a)을 노출시키는 콘택홀을 형성한 후, 비트 라인용 도전막을 형성하고 이를 패터닝하여 상기 비트 라인(400a)을 형성한다.

<69> 상술한 방법에서, 상기 도전막 패턴(240a)을 형성한 이후에 상기 자기 저항 기억 셀(320)을 형성하였으나, 그 반대의 순서로 형성할 수 도 있다. 즉, 다시 도4c를 참조하

여, 상기 상부 절연막(200) 및 상부 콘택 플러그(220) 상에 상기 도전막(240)을 형성한 후, 하부 강자성막(260), 비자성막(280) 및 상부 강자성막(300)을 형성한다. 이어서 상기 적층된 막질들을 차례로 패터닝하여 도4f에 도시된 바와 같은, 자기 저항 기억 셀 및 도전막 패턴을 형성한다.

<70> 이제 도2의 자기 저항 기억 소자를 제조하는 방법의 일 실시예를 도5a 내지 도5g를 참조하여 설명한다.

<71> 먼저 도5a를 참조하여, 앞서 설명한 방법과 동일하게 반도체 기판(100) 상에 디지털 라인(160a), 콘택 패드(180a), 콘택 플러그들(140, 220), 절연막들(120, 200) 및 도전막(240)을 형성한다.

<72> 다음 도5b를 참조하여, 상기 도전막(240)을 패터닝하여 도전막 패턴(240a)을 형성한다. 상기 도전막 패턴(240a)은 상기 콘택 패드(180a) 및 디지털 라인(160a)을 덮는다. 계속 해서, 상기 도전막 패턴(240) 상에 하부 강자성막(260), 비자성막(280) 및 상부 강자성막(300)을 차례로 형성한다.

<73> 다음 도5c를 참조하여, 상기 상부 강자성막(300)을 패터닝하여 상기 디지털 라인(160a)을 덮는 상부 강자성막 패턴(300a)을 형성한다.

<74> 다음 도5d를 참조하여, 상기 비자성막(280) 및 하부 강자성막(260)을 차례로 패터닝하여 비자성막 패턴(280a) 및 하부 강자성막 패턴(260a)을 형성한다. 상기 비자성막 패턴(280a) 및 하부 강자성막 패턴(260a)은 상기 상부 강자성막 패턴(300a) 보다 더 크게 형성된다. 이로써, 상기 상부 강자성막 패턴(300a), 비자성막 패턴(280a) 및 하부 강자성막 패턴(260a)으로 구성된 자기 저항 기억 셀(320)이 형성된다.

- <75>        다음 도5e를 참조하여, 상기 상부 절연막(200) 및 상기 상부 강자성막 패턴 (300a) 상에 스페이서막(330)을 형성한다. 상기 스페이서막(330)은 코발트(Co), 니켈철(NiFe) 등의 금속 자성물질 또는 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite), MnFeO, CuFeO, FeO, NiFeO 등의 고 도자율의 자성막으로 형성한다.
- <76>        다음 도5f를 참조하여, 상기 스페이서막(330)을 에치백하여 자기 집속 스페이서 (330a)를 상기 상부 강자성막 패턴(300a)의 측벽에 형성한다.
- <77>        다음 도5g를 참조하여, 상기 상부 강자성막 패턴(300a), 비자성막 패턴(280a), 하부 강자성막 패턴(260a) 및 도전막 패턴(240a)을 절연시키기 위한 층간 절연막(380)을 형성한다. 상기 층간 절연막(380)은 실리콘 산화막, 고 도자율의 자성막, 또는 이들의 조합막으로 형성할 수 있다. 앞서 설명한 방법과 동일하게, 상기 상부 강자성막 패턴 (300a)에 전기적으로 접속하는 비트 라인(400a)을 상기 층간 절연막(380) 상에 형성한다
- <78>        이제 도2의 자기 저항 기억 소자를 제조하는 방법의 다른 실시예를 도5a 내지 도5g를 참조하여 설명한다. 바로 앞서 설명한 실시예와 중복되는 부분에 대해서는 설명을 생략한다.
- <79>        먼저 도6a를 참조하여, 앞서 설명한 방법과 동일하게 반도체 기판(100) 상에 디지털 라인(160a), 콘택 패드(180a), 콘택 플러그들(140, 220), 절연막들(120, 200) 및 도전막(240)을 형성한다.

- <80>        다음 도6b를 참조하여, 상기 도전막(240) 상에 하부 강자성막(260), 비자성막(280) 및 상부 강자성막(300)을 차례로 형성한다.
- <81>        다음 도6c를 참조하여, 상기 상부 강자성막(300)을 패터닝하여 상부 강자성막 패턴(300a)을 형성한다.
- <82>        다음 도6d를 참조하여 상기 비자성막(280), 하부 강자성막(260) 및 도전막(240)을 차례로 패터닝하여 비자성막 패턴(280a), 하부 강자성막 패턴(260a) 및 도전막 패턴(240a)을 형성한다.
- <83>        다음 도6e를 참조하여 상기 상부 절연막(200) 및 자기 저항 기억 셀(320) 상에 스페이서막(330)을 형성하고, 이를 에치백하여 도6f에 도시된 바와 같이 상기 상부 강자성막 패턴(300a)의 측벽에 자기 집속 스페이서(330a)를 형성한다.
- <84>        다음 도6g를 참조하여, 상기 자기 집속 스페이서(330a)가 형성된 결과물 상에 층간 절연막(380)을 형성한다. 계속해서, 상기 상부 강자성막 패턴(300a)에 전기적으로 접속하는 비트 라인(400a)을 상기 층간 절연막(380) 상에 형성한다.
- <85>        이제, 도3의 자기 저항 기억 소자를 제조하는 방법을 도7a 내지 도7f를 참조하여 설명한다. 앞서 설명한 방법들과 동일한 공정에 대한 설명은 생략한다.
- <86>        먼저 도7a를 참조하여, 도4a 내지 도4f를 참조하여 설명한 방법과 동일하게 진행하여, 반도체 기판(100) 상에 하부 강자성막 패턴(260a), 비자성막 패턴(280a) 및 상부 강자성막 패턴(300a)을 포함하는 저항 기억 셀(320)을 형성한다.
- <87>        다음 도7b를 참조하여, 상기 자기 저항 기억 셀(320)이 형성된 결과물 전면에서 스페이서막(330)을 형성한다.

- <88>        다음 도7c를 참조하여, 상기 스페이서막(330)을 에치백하여 상기 자기 저항 기억 셀(320)의 측벽에 비도전성 자기 집속 스페이서(330a)를 형성한다. 상기 비도전성 자기 집속 스페이서(330a)는 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite), MnFeO, CuFeO, FeO, NiFeO 등으로 형성된다.
- <89>        다음 7d를 참조하여 상기 비도전성 자기 집속 스페이서(330a)가 형성된 결과물 상에 도전성 스페이서막(335)을 형성한다. 상기 도전성 스페이서막(335)은 금속 자성물질로서 예컨대 코발트, 니켈철 등을 포함한다.
- <90>        다음 도7e를 참조하여, 상기 도전성 스페이서막(335)을 에치백하여 상기 비도전성 자기 집속 스페이서(330a) 상에 도전성 자기 집속 스페이서(330b)를 형성한다.
- <91>        다음 도7f를 참조하여, 앞서 설명한 방법과 동일하게 층간 절연막(380) 및 비트 라인(400a)을 형성한다.
- <92>        이제까지 본 발명에 대하여 그 바람직한 실시예(들)를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 본 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

**【발명의 효과】**

- <93>       이상에서 설명한 본 발명의 자기 저항 기억 소자에 따르면, 자기 저항 기억 셀 측벽에 자기 집속 스페이서를 포함하고 있기 때문에 비트 라인 및 디지트 라인에 의해 발생된 자기장이 자기 저항 기억 셀에 효율적으로 전달되며 이에 따라 저전압 동작이 가능해진다.
- <94>       또한 자기 저항 기억 셀을 절연시키는 층간 절연막을 고 도자율의 자성 막질로 형성함으로써, 자기장 전달을 더욱 더 효과적으로 할 수 있다.

**【특허청구범위】****【청구항 1】**

절연막을 사이에 두고 반도체 기판 상에 배치된 도전막 패턴;

상기 도전막 패턴 상에 배치된 자기 저항 기억 셀;

상기 절연막 상에 배치되어 상기 자기 저항 기억 셀을 감싸는 층간 절연막을 포함하며,

상기 층간 절연막은 고 도자율의 자성 막질인 자기 저항 기억 소자.

**【청구항 2】**

제1항에 있어서,

상기 층간 절연막 상에 배치된 실리콘 산화막을 더 포함하는 자기 저항 기억 소자.

**【청구항 3】**

제1항에 있어서,

상기 층간 절연막 상에 교대로 적층된 실리콘 산화막 및 고 도자율의 자성막을 더 포함하는 자기 저항 기억 소자.

**【청구항 4】**

제1항 또는 제3항에 있어서,

상기 자기 저항 기억 셀 측벽에 배치된 자기 집속 절연막 스페이서를 더 포함하는 자기 저항 기억 소자.

**【청구항 5】**

제4항에 있어서,

상기 자기 집속 절연막 스페이서 및 고 도자율의 자성 막질은, 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite), MnFeO, CuFeO, FeO, NiFeO 을 포함하는 자기 저항 기억 소자.

**【청구항 6】**

제4항에 있어서,

상기 자기 집속 스페이서 상에 배치된 자기 집속 도전막 스페이서를 더 포함하는 자기 저항 기억 소자.

**【청구항 7】**

제6항에 있어서,

상기 자기 집속 도전막 스페이서는, 코발트(Co), 니켈철(NiFe)을 포함하는 자기 저항 기억 소자.

**【청구항 8】**

제1항에 있어서,

상기 고 도자율의 자성 막질은 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite), MnFeO, CuFeO, FeO, NiFeO를 포함하는 자기 저항 기억 소자.

**【청구항 9】**

제1항에 있어서,



상기 자기 저항 기억 셀은 상기 도전막 패턴 상에 차례로 배치된 하부 강자성막 패턴, 비자성막 패턴 그리고 상부 강자성막 패턴을 포함하는 자기 저항 기억 소자.

【청구항 10】

제9항에 있어서,

상기 상부 강자성막 패턴의 측벽에 배치된 자기 집속 스페이서를 더 포함하는 자기 저항 기억 소자.

【청구항 11】

제10항에 있어서,

상기 자기 집속 스페이서는 코발트(Co), 니켈철(NiFe), 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite), MnFeO, CuFeO, FeO, NiFeO 을 포함하고, 상기 고 도자율의 자성 막질은 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite), MnFeO, CuFeO, FeO, NiFeO를 포함하는 자기 저항 기억 소자.

【청구항 12】

제11항에 있어서,

상기 층간 절연막을 관통하여 상기 상부 강자성막 패턴에 전기적으로 접속하는 비트 라인;

상기 비트 라인과 직교하며 직교하는 곳에 상기 상부 강자성막 패턴이 위치하도록 상기 절연막 내에 배치된 디지털 라인;

상기 디지털 라인과 동일 높이를 가지며, 상기 하부 강자성막 패턴 및 상기 반도체 기판의 활성영역 사이의 전기적 접속을 제공하는 콘택 패드를 더 포함하는 자기 저항 기억 소자.

**【청구항 13】**

제12항에 있어서,

상기 도전막 패턴, 상기 하부 강자성막 패턴 및 상기 비자성막 패턴은 상기 콘택 패드 및 상기 디지털 라인을 덮고, 상기 상부 강자성막 패턴은 상기 디지털 라인을 덮는 자기 저항 기억 소자.

**【청구항 14】**

제5항에 있어서,

상기 층간 절연막을 관통하여 상기 상부 강자성막 패턴에 전기적으로 접속하는 비트 라인;

상기 비트 라인과 직교하며 직교하는 곳에 상기 상부 강자성막 패턴이 위치하도록 상기 절연막 내에 배치된 디지털 라인;

상기 디지털 라인과 동일 높이를 가지며, 상기 하부 강자성막 패턴 및 상기 반도체 기판의 활성영역 사이의 전기적 접속을 제공하는 콘택 패드를 더 포함하는 자기 저항 기억 소자.

**【청구항 15】**

제14항에 있어서,

상기 도전막 패턴은 상기 콘택 패드 및 상기 디지털 라인을 덮고, 상기 하부 강자성막 패턴, 상기 비자성막 패턴 그리고 상부 강자성막 패턴은 상기 디지털 라인을 덮는 자기 저항 기억 소자.

**【청구항 16】**

절연막을 사이에 두고 반도체 기판 상에 배치된 도전막 패턴;

상기 도전 패턴 상에 배치된 자기 저항 기억 셀;

상기 자기 저항 기억 셀 측벽에 배치된 자기 집속 스페이서;

상기 절연막 상에 배치되어 상기 자기 저항 기억 셀을 감싸는 층간 절연막을 포함하는 자기 저항 기억 소자.

**【청구항 17】**

제16항에 있어서,

상기 자기 집속 스페이서는 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite),  $MnFeO$ ,  $CuFeO$ ,  $FeO$ ,  $NiFeO$  을 포함하는 자기 저항 기억 소자.

**【청구항 18】**

제16항에 있어서,

상기 층간절연막은 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite),  $MnFeO$ ,  $CuFeO$ ,  $FeO$ ,  $NiFeO$ 를 포함하는 자기 저항 기억 소자.

**【청구항 19】**

제18항에 있어서,

상기 층간 절연막 상에 배치된 실리콘 산화막을 더 포함하는 자기 저항 기억 소자.

**【청구항 20】**

제16항에 있어서,

상기 자기 저항 기억 셀은 상기 도전막 패턴 상에 차례로 배치된 하부 강자성막 패턴, 비자성막 패턴 그리고 상부 강자성막 패턴을 포함하며,

상기 자기 집속 스페이서는 상기 상부 강자성막 패턴의 측벽에 배치된 자기 저항 기억 소자.

**【청구항 21】**

제16항에 있어서,

상기 자기 집속 스페이서는, 코발트(Co), 니켈철(NiFe), 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite), MnFeO, CuFeO, FeO, NiFeO 을 포함하는 자기 저항 기억 소자.

**【청구항 22】**

반도체 기판 상에 절연막을 사이에 두고 도전막 패턴을 형성하는 단계;

상기 도전막 패턴 및 상기 절연막 상에 차례로 하부 강자성막, 비자성막 및 상부 강자성막을 형성하는 단계;

상기 상부 강자성막, 비자성막 및 하부 강자성막을 패터닝하여 상부 강자성막 패턴, 비자성막 패턴 및 하부 강자성막 패턴으로 이루어진 자기 저항 기억 셀을 형성하는 단계;

상기 자기 저항 기억 셀 측벽에 자기 집속 스페이서를 형성하는 단계;

상기 자기 집속 스페이서가 형성된 결과물 전면에 층간 절연막을 형성하는 단계를 포함하는 자기 저항 기억 소자 제조 방법.

【청구항 23】

제22항에 있어서,

상기 층간절연막은 고 도자율의 자성 막질, 실리콘 산화막 또는 이들의 조합막 중 어느 하나로 형성하는 자기 저항 기억 소자 제조 방법.

【청구항 24】

제22항 또는 23항에 있어서,

상기 자기 집속 스페이서 및 고 도자율의 자성 막질은, 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite),  $MnFeO$ ,  $CuFeO$ ,  $FeO$ ,  $NiFeO$  을 포함하는 자기 저항 기억 소자 제조 방법.

【청구항 25】

제22항에 있어서,

상기 자기 집속 스페이서 상에 도전성 자기 집속 스페이서를 더 형성하는 단계를 포함하는 자기 저항 기억 소자 제조 방법.

**【청구항 26】**

제25항에 있어서,

상기 자기 집속 스페이서는, 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite),  $MnFeO$ ,  $CuFeO$ ,  $FeO$ ,  $NiFeO$  을 포함하고, 상기 도전성 자기 집속 스페이서는, 코발트(Co), 니켈철(NiFe)을 포함하는 자기 저항 기억 소자 제조 방법.

**【청구항 27】**

제22항에 있어서,

상기 자기 저항 기억 셀을 형성하는 단계는,

상기 상부 강자성막을 패터닝하여 상기 상부 강자성막 패턴을 형성하는 단계;

상기 비자성막 및 하부 강자성막을 차례로 패터닝하여 상기 상부 강자성막 패턴보다 큰 상기 비자성막 패턴 및 상기 하부 강자성막 패턴을 형성하는 단계를 포함하고,

상기 자기 집속 스페이서를 형성하는 단계는,

상기 절연막 및 상기 자기 저항 기억 셀 상에 스페이서 물질막을 형성하는 단계;

상기 스페이서 물질막을 식각하여 상기 상부 강자성막 패턴의 측벽에만 남기는 단계를 포함하는 자기 저항 기억 소자 제조 방법.

**【청구항 28】**

제27항에 있어서,

상기 자기 집속 스페이서는, 코발트(Co), 니켈철(NiFe), 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite), MnFeO, CuFeO, FeO, NiFeO 을 포함하는 자기 저항 기억 소자 제조 방법.

**【청구항 29】**

반도체 기판 상에 절연막을 사이에 두고 도전막, 하부 강자성막, 비자성막 그리고 상부 강자성막을 차례로 형성하는 단계;

상기 적층된 막질들을 차례로 패터닝하여 상부 강자성막 패턴, 비자성막 패턴, 하부 강자성막 패턴, 및 도전막 패턴을 형성하되, 상기 상부 강자성막 패턴, 비자성막 패턴 및 하부 강자성막 패턴이 자기 저항 기억 셀을 구성하는 단계;

상기 자기 저항 기억 셀 측벽에 자기 집속 스페이서를 형성하는 단계;

상기 자기 집속 스페이서가 형성된 결과물 전면에 층간 절연막을 형성하는 단계를 포함하는 자기 저항 기억 소자 제조 방법.

**【청구항 30】**

제29항에 있어서,

상기 층간절연막은 고 도자율의 자성 막질, 실리콘 산화막 또는 이들의 조합막 중 어느 하나로 형성하는 자기 저항 기억 소자 제조 방법.

**【청구항 31】**

제30항에 있어서,

상기 자기 집속 스페이서 및 고 도자율의 자성 막질은 니켈-아연 계열의 페라이트 (Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite),  $\text{MnFeO}$ ,  $\text{CuFeO}$ ,  $\text{FeO}$ ,  $\text{NiFeO}$  을 포함하는 자기 저항 기억 소자 제조 방법.

【청구항 32】

제29항에 있어서,

상기 자기 집속 스페이서 상에 도전성 자기 집속 스페이서를 더 형성하는 단계를 포함하는 자기 저항 기억 소자 제조 방법.

【청구항 33】

제31항에 있어서,

상기 자기 집속 스페이서는, 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite),  $\text{MnFeO}$ ,  $\text{CuFeO}$ ,  $\text{FeO}$ ,  $\text{NiFeO}$  을 포함하고, 상기 도전성 자기 집속 스페이서는, 코발트(Co), 니켈철(NiFe)을 포함하는 자기 저항 기억 소자 제조 방법.

【청구항 34】

제29항에 있어서,

상기 자기 저항 기억 셀을 형성하는 단계는,

상기 상부 강자성막을 패터닝하여 상기 상부 강자성막 패턴을 형성하는 단계;

상기 비자성막, 하부 강자성막 및 도전막을 차례로 패터닝하여 상기 상부 강자성막 패턴 보다 큰 상기 비자성막 패턴, 상기 하부 강자성막 패턴 및 도전막 패턴을 형성하는 단계를 포함하고,



상기 자기 집속 스페이서를 형성하는 단계는,

상기 절연막 및 상기 자기 저항 기억 셀 상에 스페이서 물질막을 형성하는 단계;

상기 스페이서 물질막을 식각하여 상기 상부 강자성막 패턴의 측벽에만 남기는 단계를 포함하는 자기 저항 기억 소자 제조 방법.

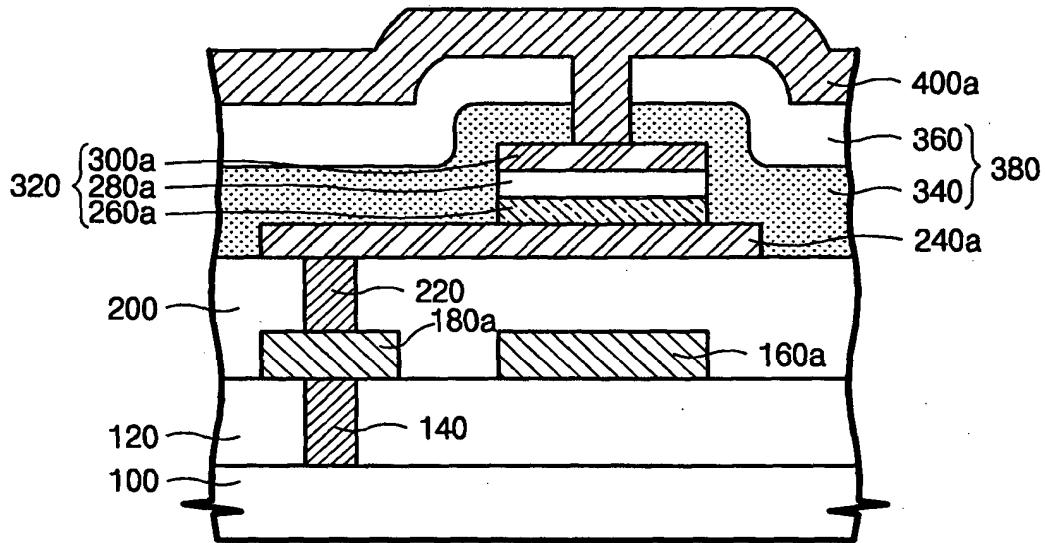
**【청구항 35】**

제33항에 있어서,

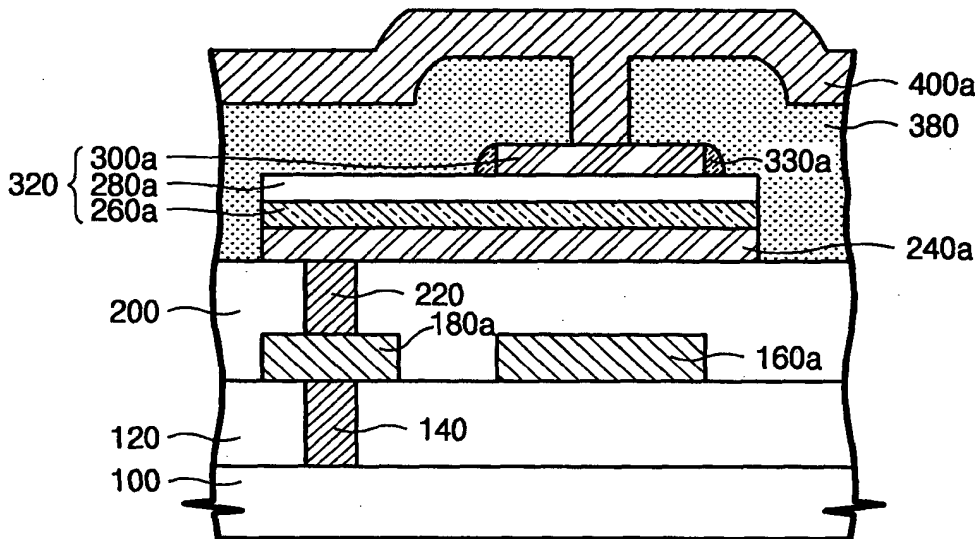
상기 자기 집속 스페이서는, 코발트(Co), 니켈철(NiFe), 니켈-아연 계열의 페라이트(Ni-Zn-Ferrite), 망간-아연 계열의 페라이트(Mn-Zn-Ferrite),  $\text{MnFeO}$ ,  $\text{CuFeO}$ ,  $\text{FeO}$ ,  $\text{NiFeO}$  을 포함하는 자기 저항 기억 소자 제조 방법.

【도면】

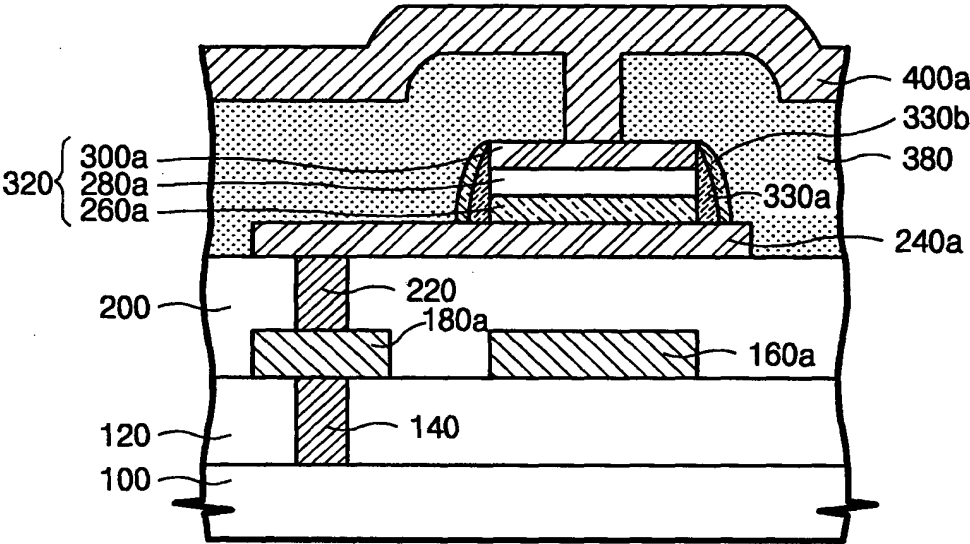
【도 1】



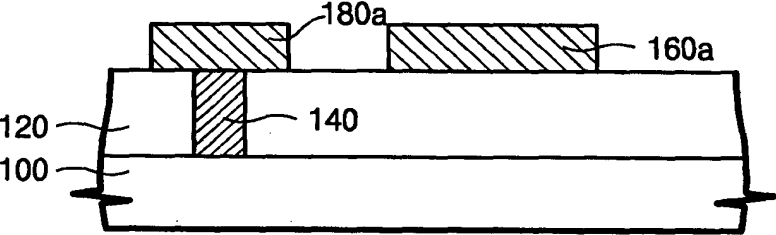
【도 2】



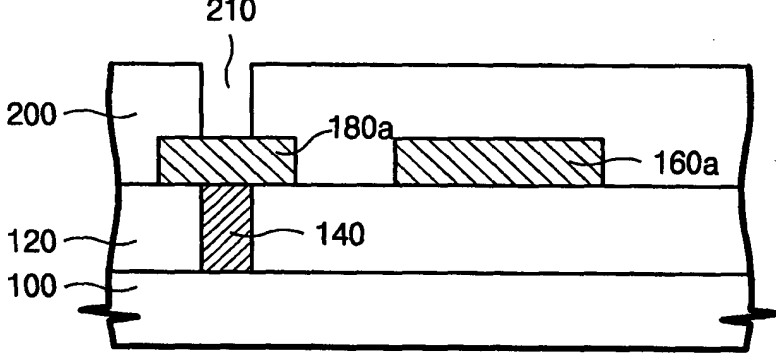
【도 3】



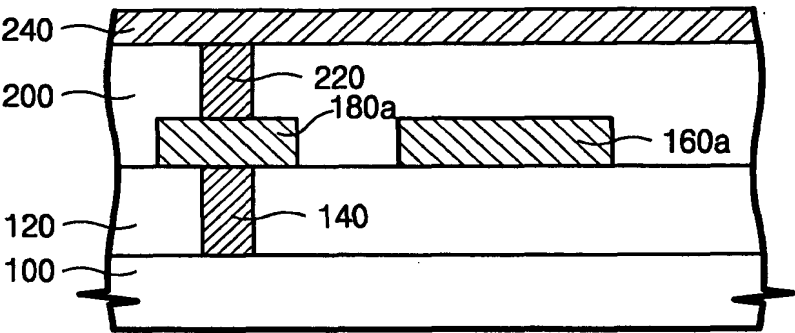
【도 4a】



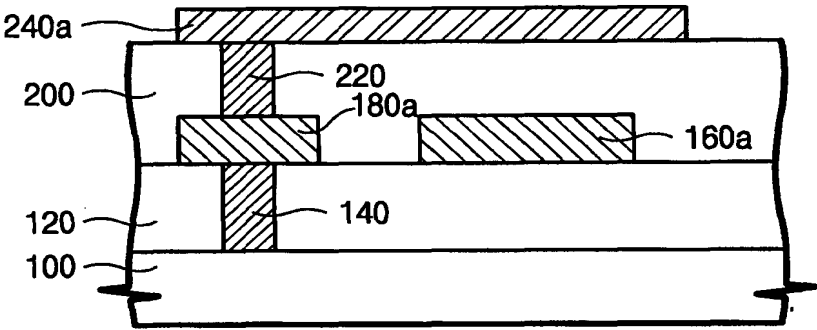
【도 4b】



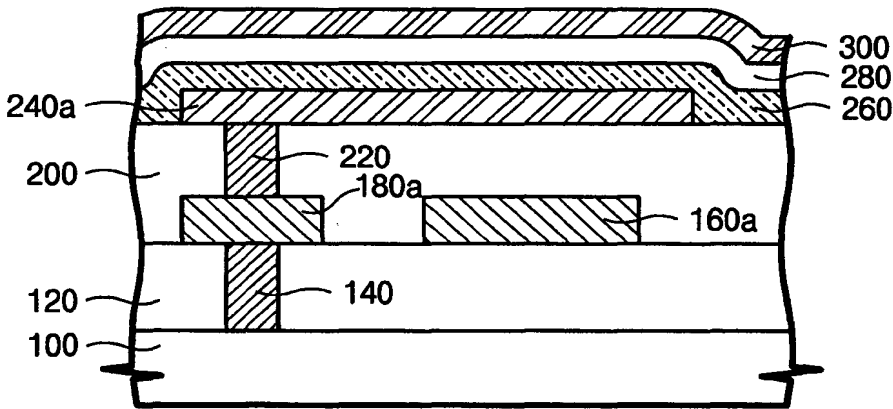
【도 4c】



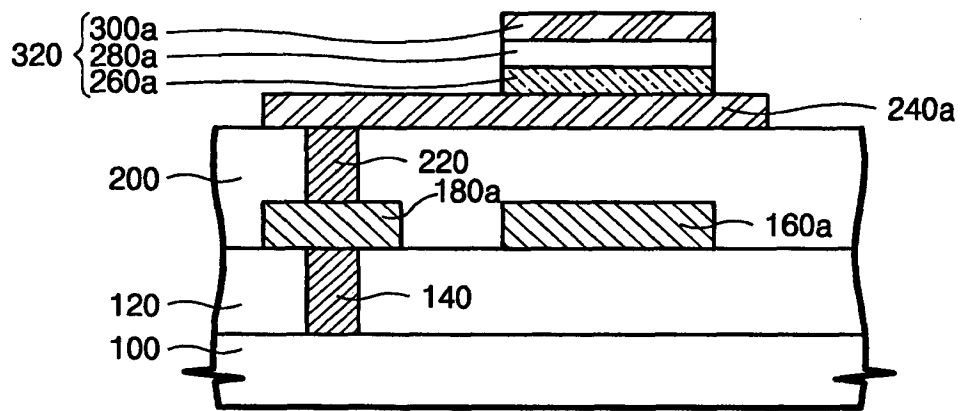
【도 4d】



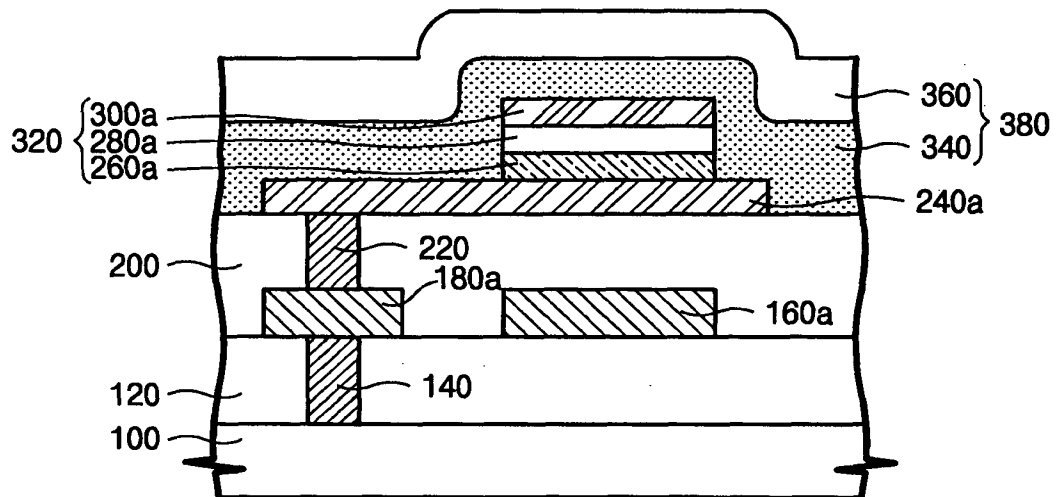
【도 4e】



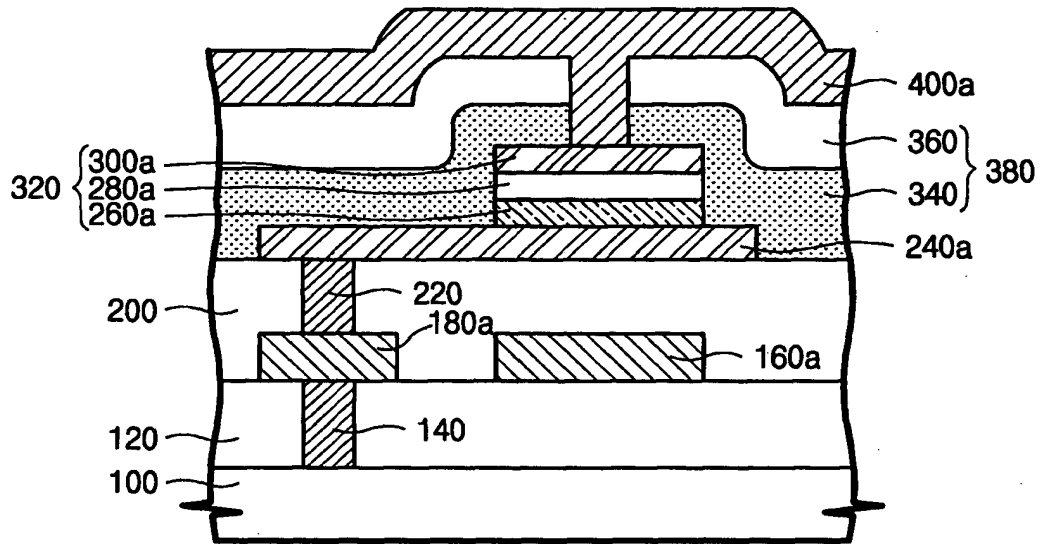
【도 4f】



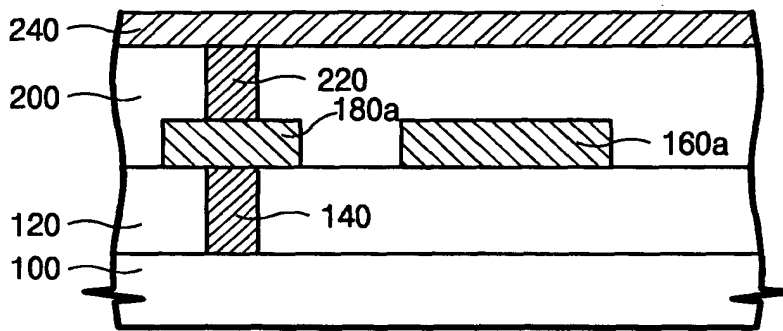
【도 4g】



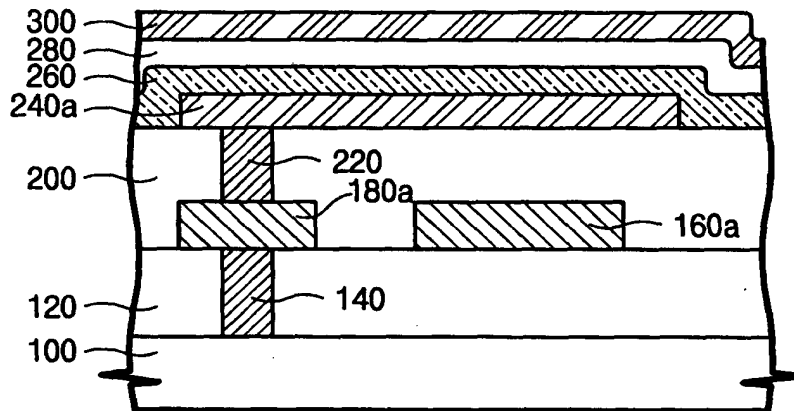
【도 4h】



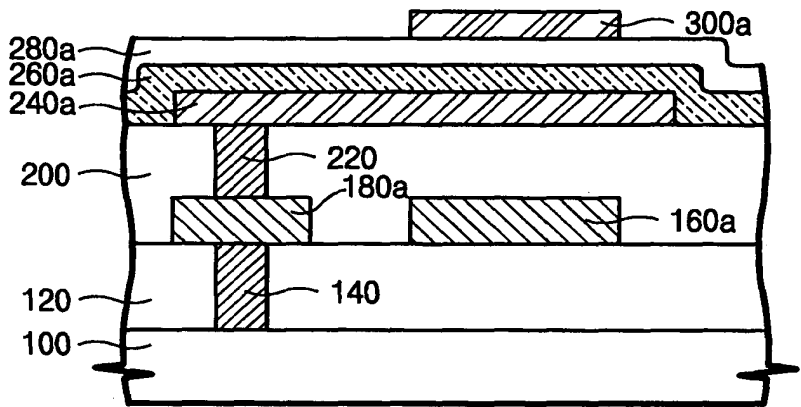
【도 5a】



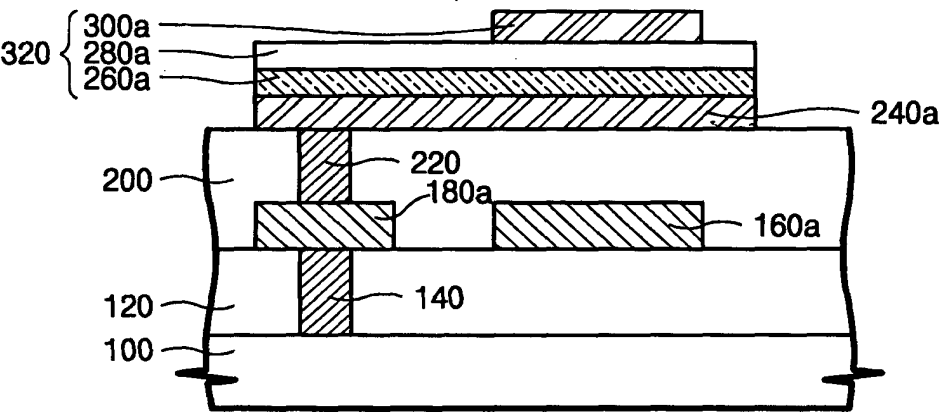
【도 5b】



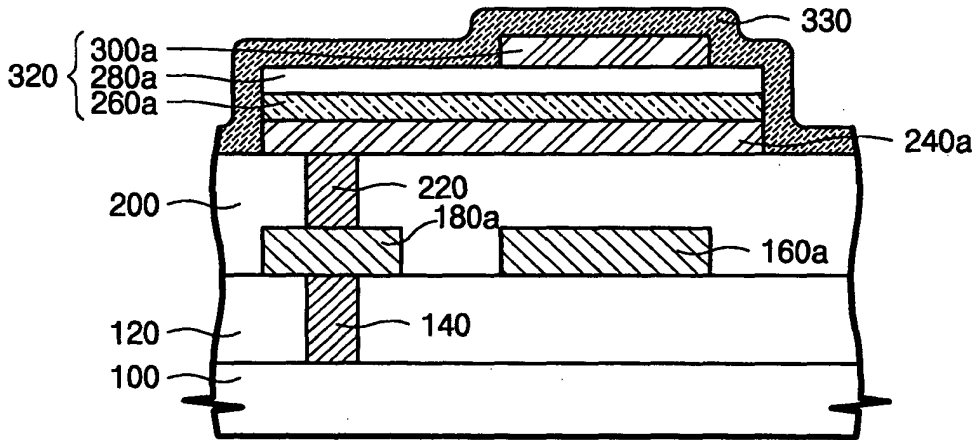
【도 5c】



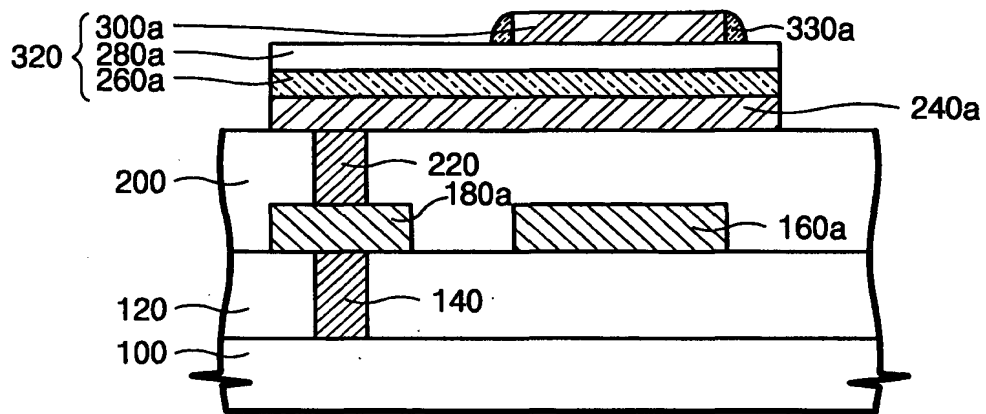
【도 5d】



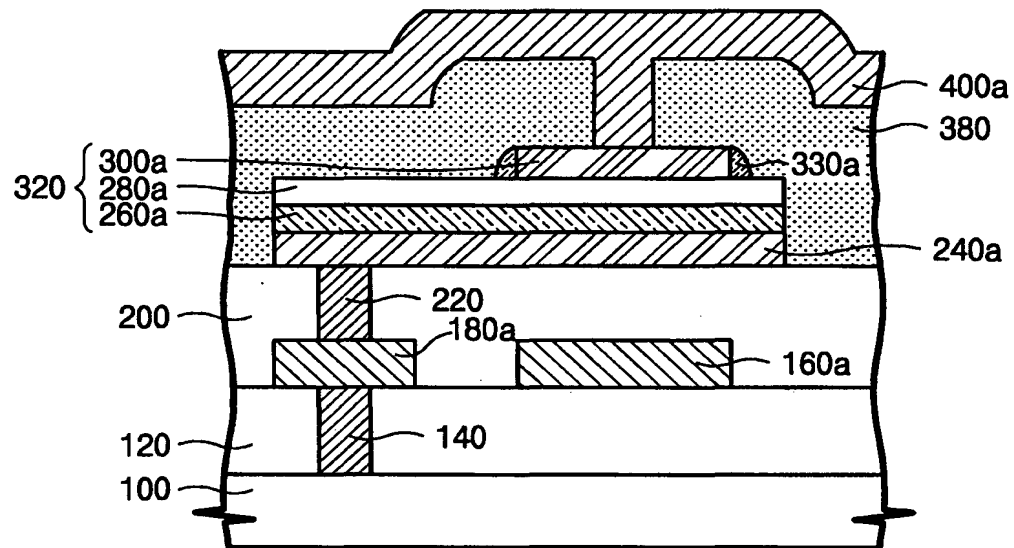
【도 5e】



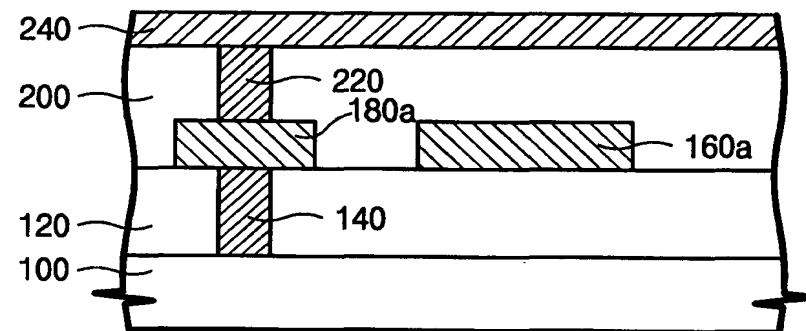
【도 5f】



【도 5g】

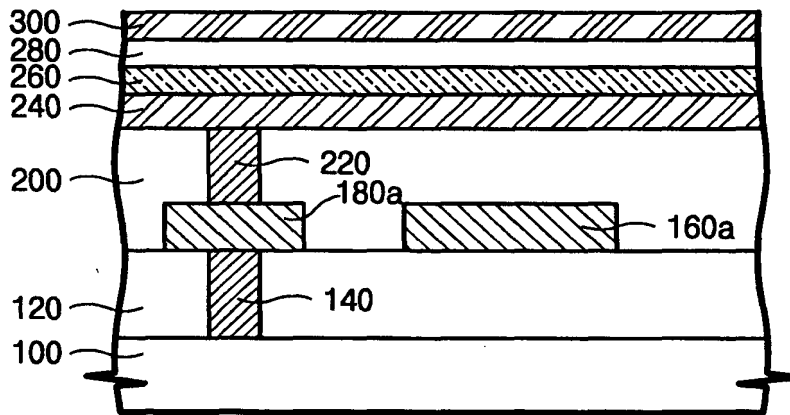


【도 6a】

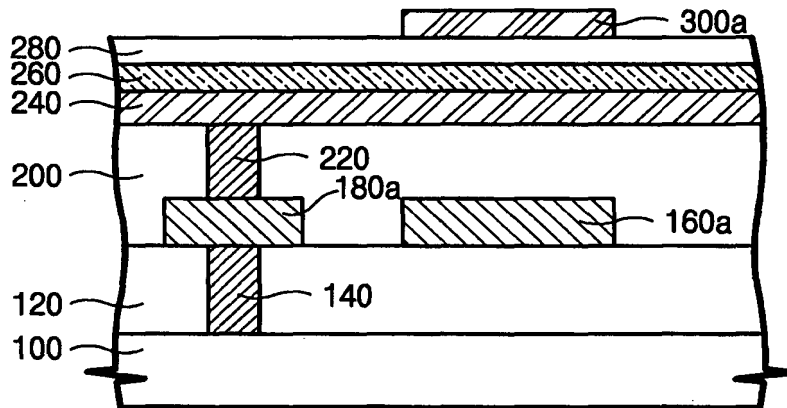




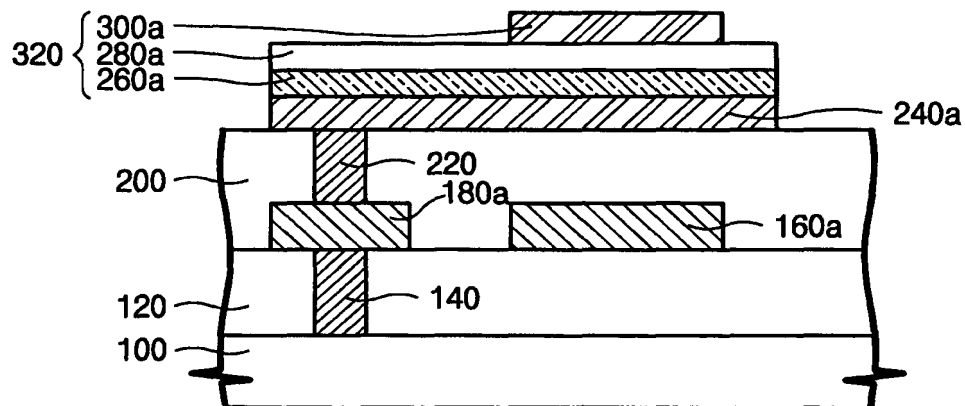
【도 6b】



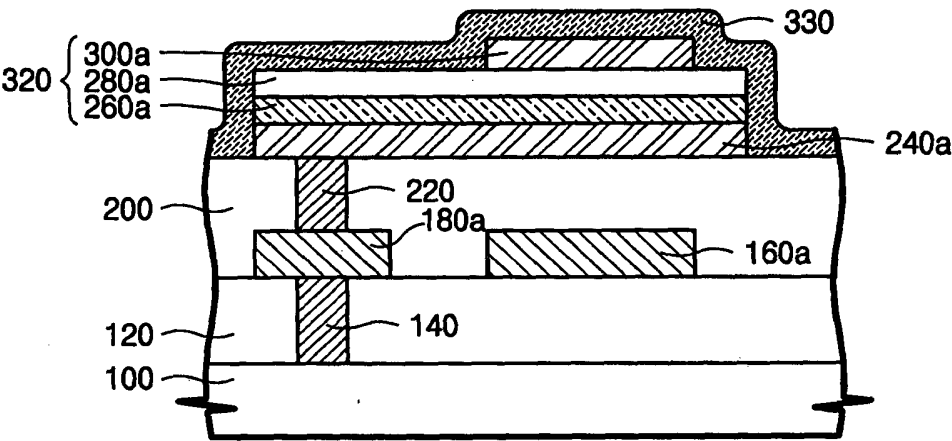
【도 6c】



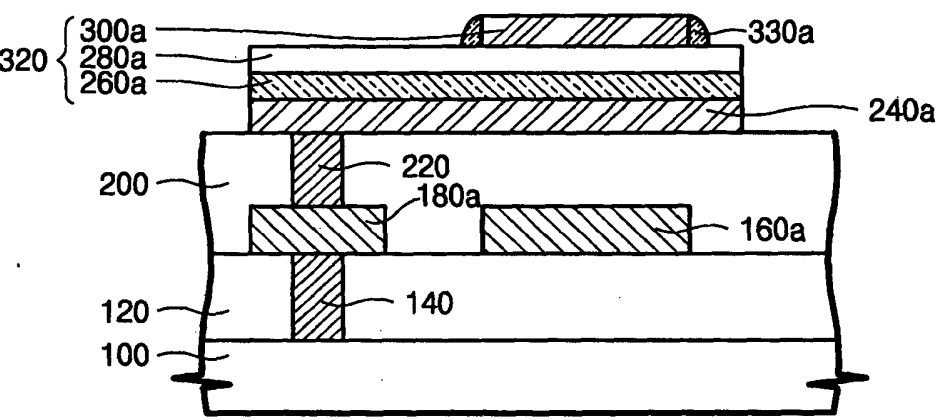
【도 6d】



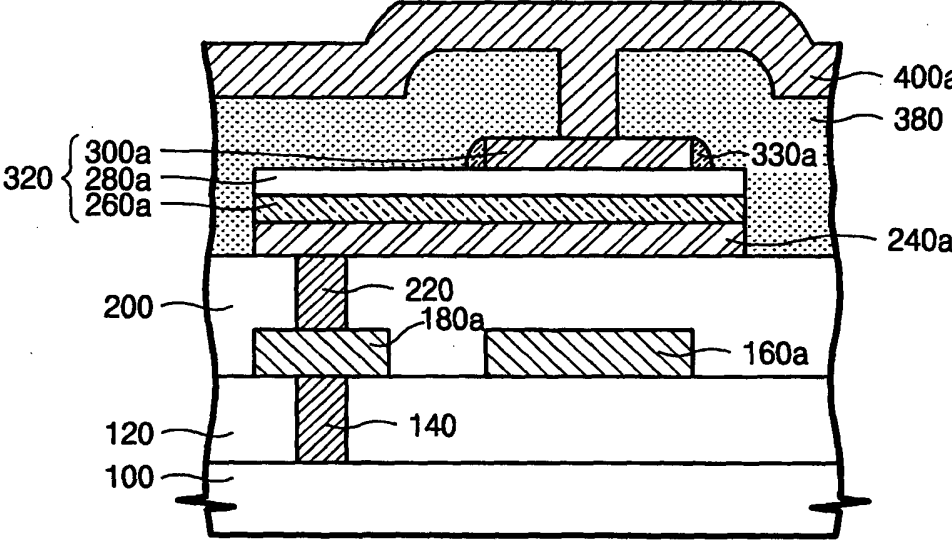
【도 6e】



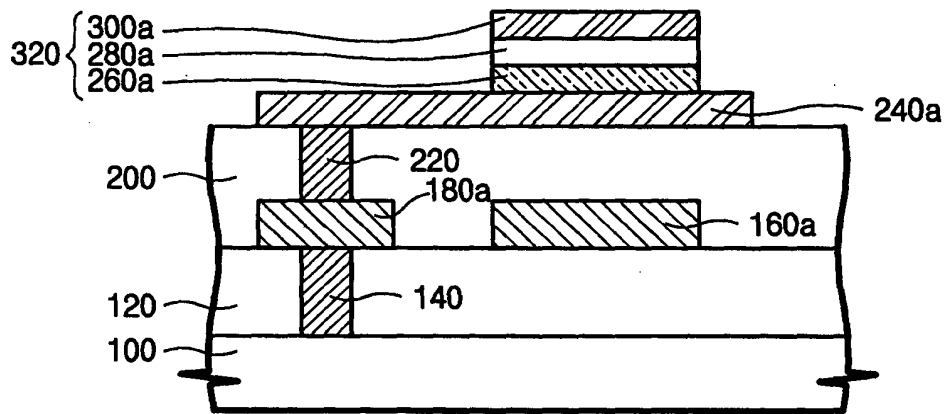
【도 6f】



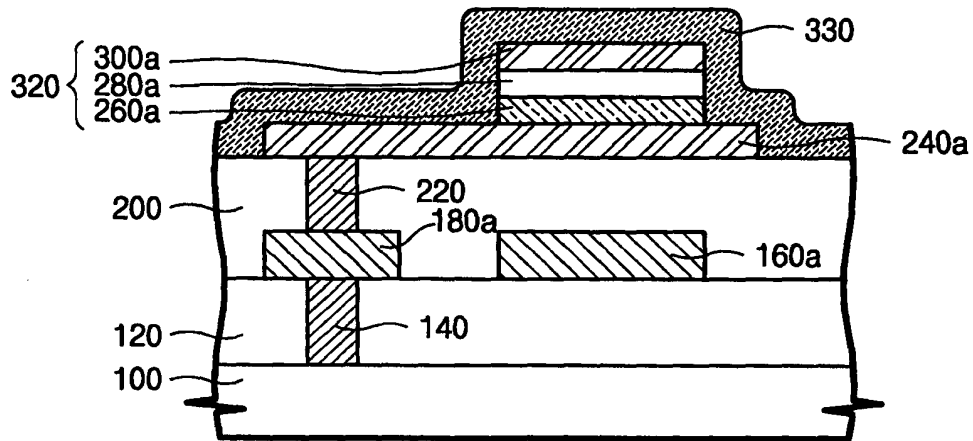
【도 6g】



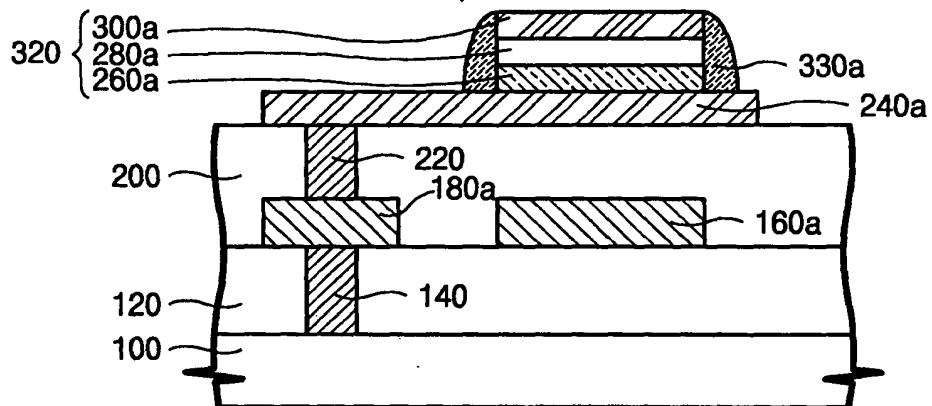
【도 7a】



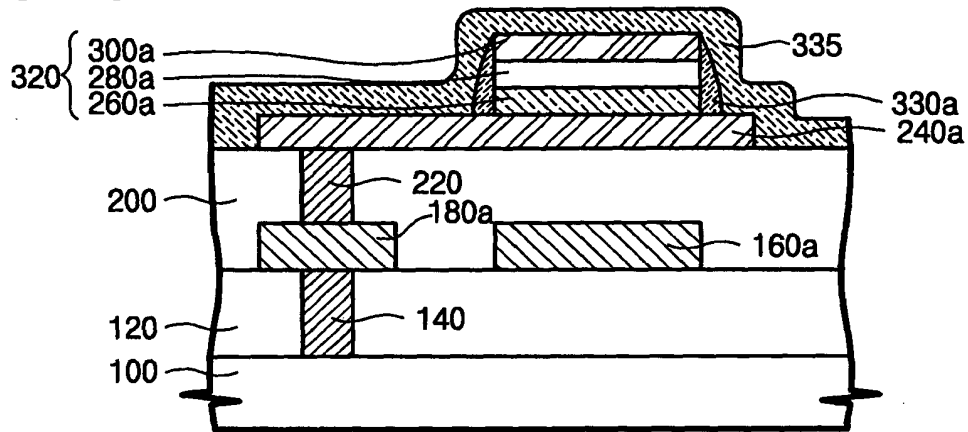
【도 7b】



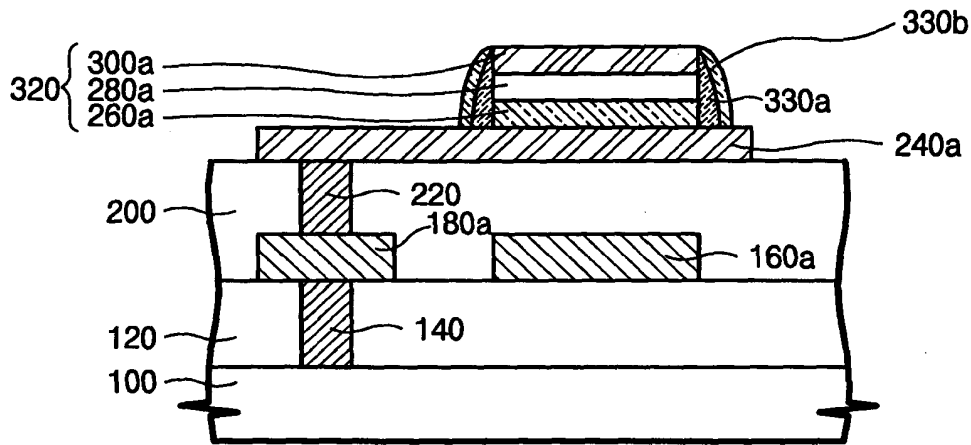
【도 7c】



【도 7d】



【도 7e】



【도 7f】

